

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    5 月 3 0 日  
Date of Application:

出 願 番 号                      特 願 2 0 0 3 - 1 5 5 2 0 5  
Application Number:  
[ST. 10/C] :                      [ J P 2 0 0 3 - 1 5 5 2 0 5 ]

出      願                      人                      沖電気工業株式会社  
Applicant(s):                      株式会社    沖マイクロデザイン

2 0 0 3 年 1 0 月 2 4 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 KA003889

【提出日】 平成15年 5月30日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 G05F 3/16

【発明者】

    【住所又は居所】 宮崎県宮崎郡清武町大字木原 7 0 8 3 番地 株式会社  
                        沖マイクロデザイン内

    【氏名】 大竹 英之

【特許出願人】

    【識別番号】 000000295

    【氏名又は名称】 沖電気工業株式会社

【特許出願人】

    【識別番号】 591049893

    【氏名又は名称】 株式会社 沖マイクロデザイン

【代理人】

    【識別番号】 100086807

    【弁理士】

    【氏名又は名称】 柿本 恭成

【手数料の表示】

    【予納台帳番号】 007412

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 9001054

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 定電圧回路

【特許請求の範囲】

【請求項 1】 起動信号が与えられたときに電流の流れが開始されて所定レベルの第 1 及び第 2 の制御信号を出力し、該起動信号の停止後も該第 1 及び第 2 の制御信号を継続して出力する定電流部と、

前記第 1 の制御信号のみが与えられたときに第 1 の基準電圧を出力し、該第 1 の制御信号と前記起動信号が同時に与えられたときには該第 1 の基準電圧よりも高い第 2 の基準電圧を出力する基準電圧部と、

前記第 2 の制御信号が与えられたときに前記基準電圧部から出力される第 1 または第 2 の基準電圧に対応した一定の内部電圧を出力する出力部とを、

備えたことを特徴とする定電圧回路。

【請求項 2】 前記出力部は、高負荷モードを指定するモード信号が与えられたときに、前記第 2 の制御信号及び前記第 1 または第 2 の基準電圧にかかわらず、外部から与えられる電源電圧を前記内部電圧として出力するスイッチ手段を有することを特徴とする請求項 1 記載の定電圧回路。

【請求項 3】 前記定電流部は、

前記第 1 の制御信号を出力する第 1 のノードと電源電位との間に接続されて該第 1 の制御信号で導通状態が制御される第 1 のトランジスタと、

前記第 2 の制御信号を出力する第 2 のノードと電源電位との間に接続されて前記第 1 の制御信号で導通状態が制御される第 2 のトランジスタと、

前記第 1 のノードと第 3 のノードとの間に接続されて前記第 2 の制御信号で導通状態が制御される第 3 のトランジスタと、

前記第 3 のノードと接地電位との間に接続された抵抗と、

前記第 2 のノードと接地電位との間に接続されて前記第 2 の制御信号で導通状態が制御される第 4 のトランジスタと、

前記第 1 のノードと前記第 3 のノードとの間に接続されて前記起動信号で導通状態が制御される第 5 のトランジスタとを有し、

前記基準電圧部は、

基準電圧を出力する第4のノードと電源電位との間に接続されて前記第1の制御信号で導通状態が制御される第6のトランジスタと、

前記第4のノードと接地電位との間に接続された第1の定電圧素子と、

前記起動信号が与えられたときに前記第1の定電圧素子と並列に接続される第2の定電圧素子とを有し、

前記出力部は、

非反転入力端子に前記基準電圧が与えられ、反転入力端子が前記内部電圧の出力される出力ノードに接続され、前記第2の制御信号でバイアス電流が制御される差動増幅器と、

電源電位と前記出力ノードとの間に接続されて前記差動増幅器の出力信号で導通状態が制御される第7のトランジスタと、

前記出力ノードと接地電位との間に接続されて前記第2の制御信号で導通状態が制御される第8のトランジスタとを、

有することを特徴とする請求項1記載の定電圧回路。

【請求項4】 前記定電流部は、

前記第1の制御信号を出力する第1のノードと電源電位との間に接続されて該第1の制御信号で導通状態が制御される第1のトランジスタと、

前記第2の制御信号を出力する第2のノードと電源電位との間に接続されて前記第1の制御信号で導通状態が制御される第2のトランジスタと、

前記第1のノードと第3のノードとの間に接続されて前記第2の制御信号で導通状態が制御される第3のトランジスタと、

前記第3のノードと接地電位との間に接続された第1の抵抗と、

前記第2のノードと接地電位との間に接続されて前記第2の制御信号で導通状態が制御される第4のトランジスタと、

前記第1のノードと前記第3のノードとの間に接続されて前記起動信号で導通状態が制御される第5のトランジスタとを有し、

前記基準電圧部は、

基準電圧を出力する第4のノードと電源電位との間に接続されて前記第1の制御信号で導通状態が制御される第6のトランジスタと、

前記第4のノードと接地電位との間に接続された第1の定電圧素子と、  
前記起動信号が与えられたときに前記第1の定電圧素子と並列に接続される第2の定電圧素子とを有し、  
前記出力部は、  
非反転入力端子に前記基準電圧が与えられ、反転入力端子が第5のノードに接続され、前記第2の制御信号でバイアス電流が制御される差動増幅器と、  
電源電位と前記内部電圧の出力される出力ノードとの間に接続されて前記差動増幅器の出力信号で導通状態が制御される第7のトランジスタと、  
前記出力ノードと前記第5のノードとの間に接続された第2の抵抗と、  
前記第5のノードと接地電位との間に接続されて前記第2の制御信号で導通状態が制御される第8のトランジスタと、  
前記第1の抵抗と並列に接続されて前記起動信号に従って導通状態が制御される第9のトランジスタとを、  
有することを特徴とする請求項1記載の定電圧回路。

【請求項5】 前記出力部は、電源電位と前記出力ノードとの間に接続されてモード信号で導通状態が制御されるスイッチ用のトランジスタを有することを有することを特徴とする請求項3または4記載の定電圧回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路に内蔵して、内部回路に供給する一定の電圧を発生させるための定電圧回路に関するものである。

【0002】

【従来の技術】

【0003】

【特許文献1】

特開平5-205469号公報

【特許文献2】

特許第2928531号明細書

## 【特許文献 3】

米国特許第 5103158 号明細書

## 【特許文献 4】

米国特許第 5942809 号明細書

## 【0004】

図 2 は、前記特許文献 1 に記載された従来の内部電源電圧発生回路の構成図である。

## 【0005】

この内部電源電圧発生回路は、半導体メモリ装置に内蔵されて外部電源電圧  $V_{EXT}$  から内部電源電圧  $V_{INT}$  を発生させるもので、基準電圧発生部 50、電圧感知部 100、ラッチ部 200、基準電圧制御部 300、及び内部電源電圧発生部 400 で構成されている。

## 【0006】

電圧感知部 100 は、パッド PAD に印加される電圧を感知するもので、このパッド PAD と接地電圧  $V_{SS}$  の間に、負荷用の複数のトランジスタ  $P_1 \sim P_4$  と抵抗素子  $R_1$  が直列接続され、トランジスタ  $P_4$  と抵抗素子  $R_1$  の接続点に、インバータ  $INV_1 \sim INV_3$  からなるインバータチェーンが接続されている。インバータ  $INV_2$  の出力端子は、スイッチ用のトランジスタ  $N_1$  ゲートに接続され、インバータ  $INV_3$  の出力端子に、このトランジスタ  $N_1$  のチャネルの一端が接続されている。トランジスタ  $N_1$  のチャネルの他端は、ラッチ部 200 に接続されている。

## 【0007】

ラッチ部 200 は、外部電源電圧  $V_{EXT}$  に接続された抵抗素子  $R_2$  と、この抵抗素子  $R_2$  を介して蓄積される電位を伝送及びラッチするためのインバータ  $INV_4$ 、 $INV_5$  で構成され、その出力信号が基準電圧制御部 300 に連続的に供給されている。

## 【0008】

基準電圧制御部 300 は、ラッチ部 200 の出力信号で制御されるトランスミッションゲート  $TM_1$  と、このトランスミッションゲート  $TM_1$  の出力側に接続

されたプルアップ用のトランジスタ T1 で構成されている。トランスミッションゲート TM1 の入力側と出力側には、公知の基準電圧発生装置 50 と公知の差動増幅器による内部電源電圧発生部 40 がそれぞれ接続されている。

#### 【0009】

このような内部電源電圧発生回路において、例えばバーンイン試験等において、内部に高電圧を印加してメモリ回路等の試験を行う場合、パッド PAD に所定の電圧（例えば、外部電源電圧 VEXT）が印加される。電圧感知部 100 のインバータ INV1 の入力側は“H”レベルとなり、トランジスタ N1 はターンオンされて“L”レベルが出力される。これにより、ラッチ部 200 の出力信号は“H”となる。

#### 【0010】

従って、基準電圧制御部 300 のトランスミッションゲート TM1 はターンオフし、基準電圧発生装置 50 の基準電圧 VREF は遮断される。このとき、トランジスタ T1 のゲートには、ラッチ部 200 の出力信号がインバータ INV6 で反転されて与えられる。これにより、トランジスタ T1 はターンオンし、基準電圧制御部 300 の出力は外部電源電圧 VEXT となり、内部電源電圧発生部 40 から、外部電源電圧 VEXT が内部電源電圧 VINT として出力される。

#### 【0011】

次に、通常動作時、即ちパッド PAD に電圧が印加されないとき、電圧感知部 100 のインバータ INV1 の入力側は“L”である。これにより、トランジスタ N1 はターンオフされる。ラッチ部 200 の入力側は、抵抗素子 R2 によってプルアップされて“H”となり、このラッチ部 200 の出力信号は“L”となる。従って、基準電圧制御部 300 のトランスミッションゲート TM1 はターンオンし、基準電圧発生装置 50 から出力された基準電圧 VREF が内部電源電圧発生部 400 へ伝送される。この時、トランジスタ T1 はターンオフされる。これにより、内部電源電圧発生部 400 から、基準電圧 VREF に応じて一定の内部電源電圧 VINT が出力される。

#### 【0012】

【発明が解決しようとする課題】

しかしながら、従来の内部電源電圧発生回路では、次のような課題があった。即ち、公知技術として記載された内部電源電圧発生部 400 のトランジスタ T6 のゲートには、基準電圧制御部 300 から動作モードに応じて、基準電圧 VREF または外部電源電圧 VEXT が与えられるようになっている。トランジスタ T6 は、差動増幅器に流れるバイアス電流を制御するものである。このため、基準電圧 VREF のレベルによっては、内部電源電圧発生部 400 での適切な動作が不可能になり、所望の内部電源電圧 VINT が得られなくなるおそれがあった。

#### 【0013】

##### 【課題を解決するための手段】

前記課題を解決するために、本発明は、定電圧回路を、起動信号が与えられたときに電流の流れが開始されて所定レベルの第 1 及び第 2 の制御信号を出力し、該起動信号の停止後も該第 1 及び第 2 の制御信号を継続して出力する定電流部と、前記第 1 の制御信号のみが与えられたときに第 1 の基準電圧を出力し、該第 1 の制御信号と前記起動信号が同時に与えられたときには該第 1 の基準電圧よりも高い第 2 の基準電圧を出力する基準電圧部と、前記第 2 の制御信号が与えられたときに前記基準電圧部から出力される第 1 または第 2 の基準電圧に対応した一定の内部電圧を出力する出力部とで構成している。

#### 【0014】

本発明によれば、以上のように定電圧回路を構成したので、次のような動作が行われる。

#### 【0015】

定電圧回路に外部からの電源電圧が印加され、更に起動信号が与えられると、定電流部に電流が流れ始め、所定レベルの第 1 及び第 2 の制御信号が出力される。第 1 の制御信号は基準電圧部に与えられ、これと同時に与えられている起動信号によって、この基準電圧部から第 2 の基準電圧が出力される。第 2 の基準電圧は出力部に与えられ、この出力部から第 2 の基準電圧に対応した一定の内部電圧が出力される。

#### 【0016】

次に、起動信号が停止しても、定電流部からは第 1 及び第 2 の制御信号が引き



続き出力される。基準電圧部では、起動信号が停止したことにより、第2の基準信号に代わって、これよりも低い第1の基準信号が出力される。第1の基準電圧は出力部に与えられ、この出力部から第1の基準電圧に対応した一定の内部電圧が出力される。

#### 【0017】

#### 【発明の実施の形態】

##### （第1の実施形態）

図1は、本発明の第1の実施形態を示す定電圧回路の回路図である。

この定電圧回路は、半導体集積回路に内蔵されて、外部から与えられる電源電圧VDD（例えば、5V）から、内部回路に供給するための一定の内部電圧VOUTを発生させるもので、定電流部10、基準電圧部20及び出力部30を備えている。

#### 【0018】

定電流部10は、ソースに電源電圧VDDが与えられ、ドレインがそれぞれノードN1、N2に接続されたPチャネルMOSトランジスタ（以下、「PMOS」という）11、12を有している。PMOS11、12のゲートは、ノードN1に接続されている。更に、ノードN1には、NチャネルMOSトランジスタ（以下、「NMOS」という）13のドレインが接続され、このNMOS13のソースがノードN3に接続され、このノードN3が抵抗14を介して接地電圧GNDに接続されている。

#### 【0019】

一方、ノードN2には、NMOS15のドレインが接続され、このNMOS15のソースが接地電圧GNDに接続されている。NMOS13、15のゲートは、ノードN2に接続されている。また、NMOS13のドレインとソースには、NMOS16のドレインとソースがそれぞれ接続され、このNMOS16のゲートに、起動用のスタート信号STAが与えられるようになっている。そして、この定電流部10のノードN1、N2から、それぞれ基準電圧部20と出力部30のバイアス電流を制御する制御電圧が出力されるようになっている。

#### 【0020】

基準電圧部 20 は、ソースに電源電圧 VDD が与えられ、ゲートとドレインがそれぞれノード N1, N4 に接続された PMOS 21 を有している。ノード N4 には、定電圧素子 22, 23 の一端が接続されている。定電圧素子 22 の他端は接地電圧 GND に直接接続され、定電圧素子 23 の他端は、スタート信号 STA によってオン・オフ制御される NMOS 24 を介して、接地電圧 GND に接続されている。

#### 【0021】

定電圧素子 22, 23 は、いずれも同様の構成で、例えば定電圧素子 22 は、ダイオード接続された PMOS 22a と NMOS 22b を、順方向に直列接続したものである。この基準電圧部 20 では、定電圧素子 22, 23 のディメンジョン等の定数を調整することにより、例えば、定電圧素子 22 のみに所定のバイアス電流が流れた時に、1.7V の基準電圧 VRF1 がノード N4 に出力され、定電圧素子 22, 23 の両方に所定のバイアス電流が流れた時には、この基準電圧 VRF1 よりも高い、3.0V 程度の基準電圧 VRF2 が出力されるようになっている。

#### 【0022】

出力部 30 は、差動増幅器をボルテージフォロワ接続したバッファアンプで、非反転入力端子に相当する NMOS 31 のゲートがノード N4 に接続され、反転入力端子に相当する NMOS 32 のゲートが、出力ノード NO に接続されている。NMOS 31, 32 のドレインは、それぞれ PMOS 33, 34 を介して電源電圧 VDD に接続され、これらの PMOS 33, 34 のゲートは、NMOS 32 のドレインに接続されている。また、NMOS 31, 32 のソースは、共通の NMOS 35 を介して接地電圧 GND に接続されている。

#### 【0023】

更に、出力ノード NO と電源電圧 VDD の間には、PMOS 36, 37 が並列に接続されている。PMOS 36 のゲートは NMOS 31 のドレインに接続され、PMOS 37 のゲートには、モード信号 MOD が与えられるようになっている。また、出力ノード NO と接地電圧 GND の間には NMOS 38 が接続され、この NMOS 38 のゲートは、NMOS 35 のゲートと共に、定電流部 10 のノード

ドN2に接続されている。そして、出力ノードNOから内部電圧VOU Tが出力されるようになっている。

#### 【0024】

次に、図1の定電圧回路の動作を、スタートモード(1)、通常モード(2)及び高負荷モード(3)に分けて説明する。

#### 【0025】

##### (1) スタートモード

スタート信号STAとモード信号MODがそれぞれ“L”，“H”になるような状態で、電源電圧VDD（例えば、5V）を印加すると、定電流部10を構成するトランジスタは、すべてオフ状態のままである。このため、ノードN1，N2は、ハイインピーダンス状態となり、基準電圧部20及び出力部30の動作は停止され、内部電圧VOU Tは出力されない。

#### 【0026】

ここで、スタート信号STAを“H”にすると、NMOS16がオン状態になって定電流部10が起動され、PMOS11、NMOS13，16、及び抵抗14には、これらの回路定数で規定される一定の電流が流れる。また、PMOS12及びNMOS15にも、同様に一定の電流が流れる。これにより、ノードN1，N2には、それぞれ基準電圧部20と出力部30のバイアス電流を制御する制御電圧が出力される。

#### 【0027】

基準電圧部20では、ノードN1の制御電圧でPMOS21がオン状態となり、スタート信号STAによってNMOS24がオン状態となっているので、ノードN4から、2つの定電圧素子22，23で合成された基準電圧VRF2（3V）が出力される。基準電圧VRF2は、出力部30のNMOS31のゲートに与えられる。

#### 【0028】

出力部30では、ボルテージフォロワ接続された差動増幅器の動作により、出力側であるNMOS31のドレインのレベルがPMOS36のゲートに与えられ、このPMOS36のドレインの電圧、即ち内部電圧VOU TがNMOS32の

ゲートにフィードバックされる。これにより、NMOS 31, 32 のゲートが同レベルになるように PMOS 36 の導通状態が制御され、出力ノード NO から、基準電圧  $V_{RF2}$  と同じ 3 V の内部電圧  $V_{OUT}$  が出力される。

#### 【0029】

##### (2) 通常モード

スタート信号 STA を “H” にすることによって定電圧回路を動作させ、スタートモードの 3 V の内部電圧  $V_{OUT}$  が出力された後、このスタート信号 STA を “L” にすると通常モードとなる。

#### 【0030】

定電流部 10 では、スタート信号 STA が “L” になると NMOS 16 はオフ状態となるが、これと並列に接続された NMOS 13 が既にオン状態となっているので、この定電流部 10 の動作は継続される。一方、基準電圧部 20 では、スタート信号 STA が “L” になると NMOS 24 がオフ状態となる。これにより、定電圧素子 23 が切り離され、ノード N4 から定電圧素子 22 単独の基準電圧  $V_{RF1}$  (1.7 V) が出力される。更に、この基準電圧  $V_{RF1}$  は出力部 30 で電力増幅され、出力ノード NO から、1.7 V の内部電圧  $V_{OUT}$  が出力される。

#### 【0031】

##### (3) 高負荷モード

バーンイン試験等において、電源電圧  $V_{DD}$  をそのまま内部回路に対する内部電圧  $V_{OUT}$  として印加する高負荷モードでは、モード信号 MOD を “L” に設定する。これにより、出力部 30 の NMOS 37 がオン状態となり、スタート信号 STA や定電流部 10 及び基準電圧部 20 の動作とは無関係に、電源電圧  $V_{DD}$  がそのまま内部電圧  $V_{OUT}$  として出力される。

#### 【0032】

以上のように、この第 1 の実施形態の定電圧回路は、定電流部 10 によって基準電圧部 20 及び出力部 30 のバイアス電流を制御するための制御電圧を生成するようにしているので、起動時においても正常な基準電圧  $V_{RF2}$  を出力することができ、常に安定した内部電圧  $V_{OUT}$  を供給することができる。

## 【0033】

また、スタートモードと通常モードで、異なる内部電圧 $V_{OUT}$ を出力することができるので、動作モードに応じて適切な内部電圧の供給が可能になる。しかも、起動用のNMOS 16を定電流用のNMOS 13に並列に接続しているので、スタートモードの時に、このNMOS 16をオン状態にしても定電流部10に流れる電流は抵抗14で制限され、過大な電流が流れることがないという利点がある。

## 【0034】

## (第2の実施形態)

図3は、本発明の第2の実施形態を示す定電圧回路の回路図であり、図1中の要素と共通の要素には共通の符号が付されている。

## 【0035】

この定電圧回路は、図1の定電圧回路における出力部30に代えて、構成が若干異なる出力部30Aを設けている。この出力部30Aでは、PMOS 36, 37のドレインを出力ノードNOに接続し、この出力ノードNOとNMOS 32のゲートが接続されるノードN5との間に抵抗39を挿入している。更に、抵抗39と並列にスイッチ用のPMOS 40を接続し、このPMOS 40のゲートにスタート信号STAをインバータ41で反転した信号を印加し、オン・オフ制御するようにしている。その他の構成は、図1と同様である。

## 【0036】

次に、動作を説明する。

起動時に、スタート信号STAとモード信号MODが、それぞれ“L”, “H”になるような状態で電源電圧VDDが印加され、その後、スタート信号STAが“H”になると、出力部30Aにおけるインバータ41の出力信号は“L”となる。これにより、PMOS 40はオン状態となり、抵抗39は短絡されて図1と同様の定電圧回路となる。従って、スタートモードにおける動作は、図1の定電圧回路と同様である。

## 【0037】

次に、スタート信号STAが“L”にされて通常モードになると、PMOS 4

0はオフ状態となり、出力ノードNOとNMOS 32のゲートの間に抵抗39が挿入される。これにより、NMOS 32のゲートには、内部電圧 $V_{OUT}$ から抵抗39で電圧降下したレベルがフィードバックされる。抵抗39による電圧降下を $V_{39}$ とすると、出力部30における差動増幅器では、NMOS 31, 32のゲートのレベルが等しくなるように動作するので、内部電圧 $V_{OUT}$ から電圧 $V_{39}$ を引いた値が、基準電圧 $V_{RF1}$ に等しくなる。従って、内部電圧 $V_{OUT}$ は、基準電圧 $V_{RF1}$  + 電圧 $V_{39}$ となる。一般的に、トランジスタによる定電圧素子の温度特性は負の温度傾きを持つのに対して、抵抗の温度特性は正の温度傾きを有する。これにより、内部電圧 $V_{OUT}$ における温度特性が相殺されて、その傾きが小さくなる。

#### 【0038】

また、モード信号MODを“L”に設定する高負荷モードにおける動作は、図1の定電圧回路と同様である。

#### 【0039】

以上のように、この第2の実施形態の定電圧回路は、通常モードにおいて、出力ノードNOとNMOS 32のゲートの間に抵抗39が挿入される回路構成となっているので、第1の実施形態と同様の利点に加えて、内部電圧 $V_{OUT}$ の温度による変化を小さくすることができるという利点がある。

#### 【0040】

なお、本発明は、上記実施形態に限定されず、種々の変形が可能である。この変形例としては、例えば、次のようなものがある。

#### 【0041】

(a) 定電流部10、基準電圧部20及び出力部30の回路構成は、例示したものに限定されない。同様の機能を有するものであれば、どのような回路構成でも適用可能である。

#### 【0042】

(b) 出力部30は、モード信号MODによって高負荷モードが指定されたときに、電源電圧VDDをそのまま内部電圧 $V_{OUT}$ として出力するためのPMOS 37を有しているが、そのような機能を必要としない場合には、これを削除し

でも良い。

#### 【0043】

##### 【発明の効果】

以上詳細に説明したように、第1の発明によれば、起動信号で起動されて所定レベルの第1及び第2の制御信号を出力する定電流部と、これらの第1及び第2の制御信号によってそれぞれ制御される基準電圧部と出力部を有している。これにより、基準電圧部で安定した基準電圧が発生され、出力部から安定した内部電圧を出力することができる。更に、基準電圧部では、起動信号の有無により、2種類の基準電圧が発生することができる。

#### 【0044】

第2及び第5の発明によれば、モード信号で高負荷モードが指定されたときに、外部から与えられる電源電圧を内部電圧として出力するスイッチ手段を有している。これにより、3種類の内部電圧を切り替えて出力することができる。

#### 【0045】

第3の発明によれば、起動信号で導通状態が制御される第5のトランジスタに直列に、定電流発生用の抵抗が挿入されるようになっている。これにより、スタートモード時に定電流部に大電流が流れるおそれがない。

#### 【0046】

第4の発明によれば、出力部のフィードバックループに抵抗を挿入している。これにより、半導体による定電圧素子の負の温度特性が抵抗による正の温度特性で相殺され、温度による変動の少ない内部電圧を得ることができる。

##### 【図面の簡単な説明】

#### 【図1】

本発明の第1の実施形態を示す定電圧回路の回路図である。

#### 【図2】

従来の内部電源電圧発生回路の構成図である。

#### 【図3】

本発明の第2の実施形態を示す定電圧回路の回路図である。

##### 【符号の説明】

1 0 定電流部

1 1, 1 2, 2 1, 3 6, 3 7, 4 0 PMOS

1 3, 1 5, 1 6, 2 4, 3 5, 3 8 NMOS

2 0 基準電圧部

2 2, 2 3 定電圧素子

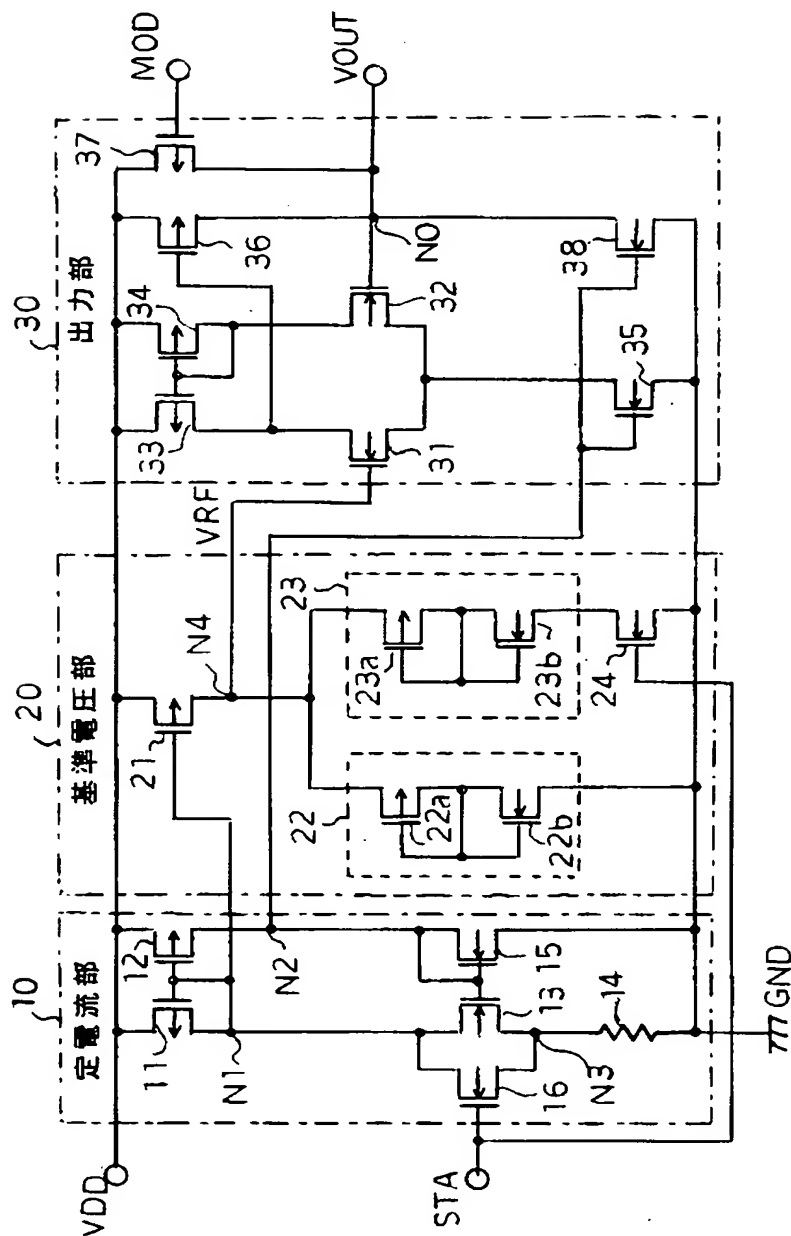
3 0, 3 0 A 出力部

1 4, 3 9 抵抗



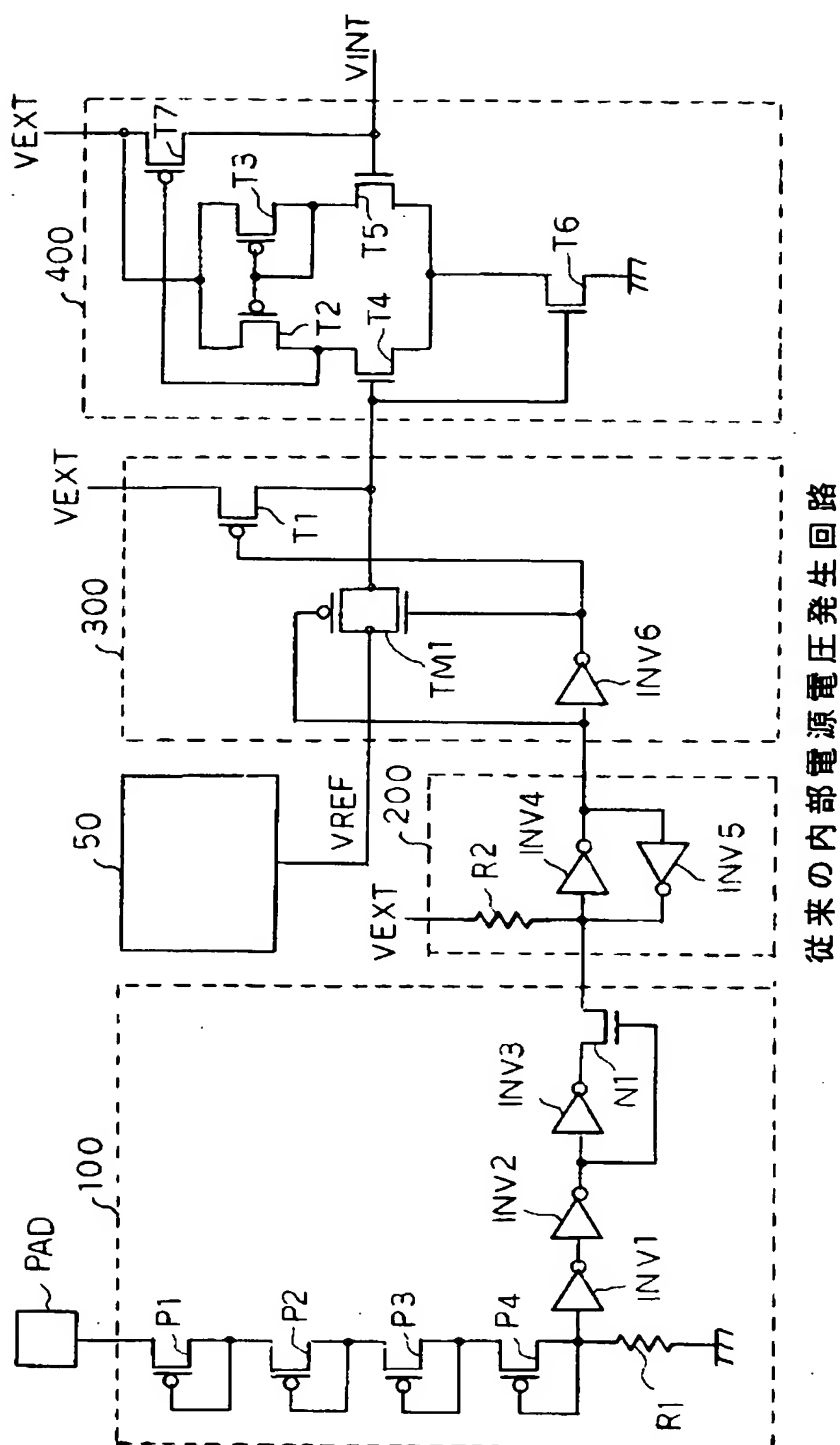
【書類名】 図面

【図 1】

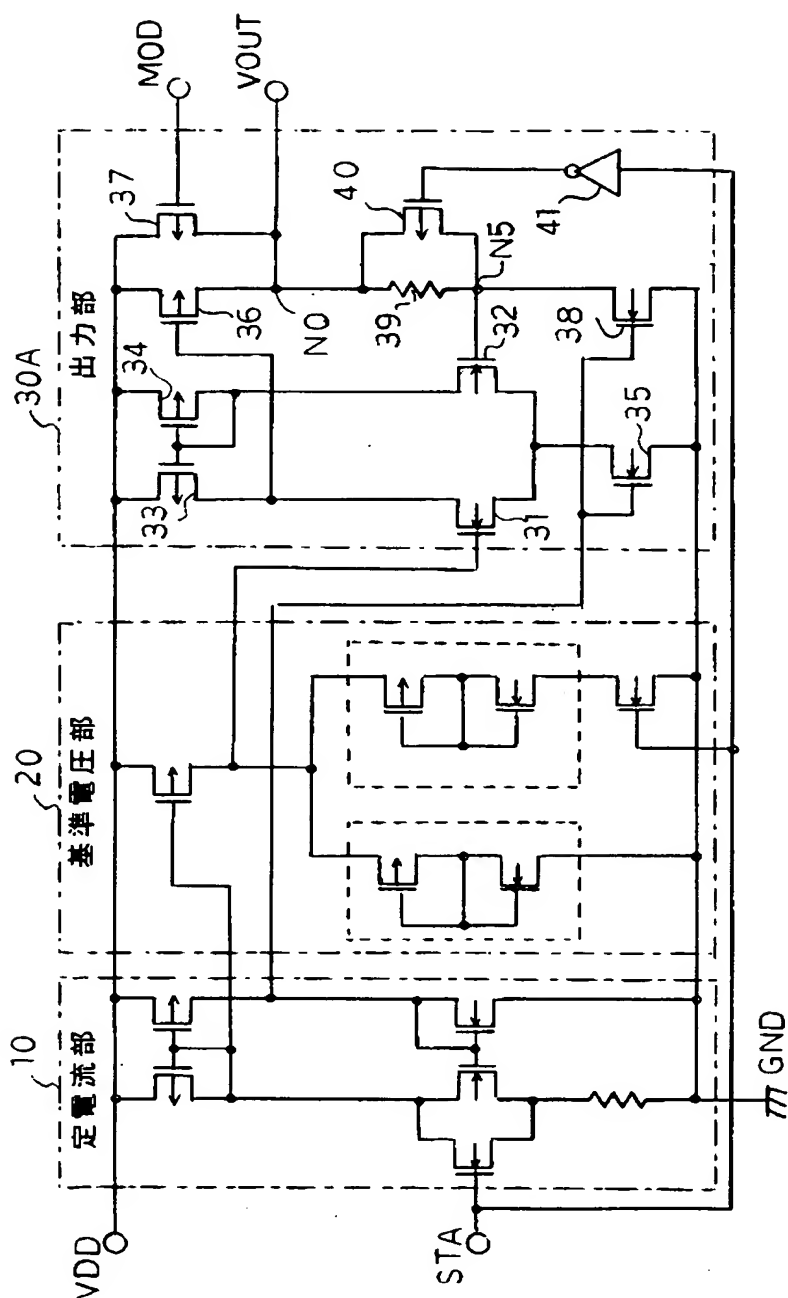


本発明の第 1 の実施形態の定電圧回路

【図 2】



【図 3】



本発明の第2の実施形態の定電圧回路

【書類名】 要約書

【要約】

【課題】 安定した内部電圧を供給することができる定電圧回路を提供する。

【解決手段】 起動信号 S T A を “H” にすると定電流部 10 に電流が流れ、ノード N 1, N 2 には、それぞれ基準電圧部 20 及び出力部 30 に対するバイアス用の制御電圧が発生する。これにより、基準電圧部 20 に所定の電流が流れ、ノード N 4 に基準電圧 V R F が出力される。なお、起動信号 S T A が “L” のときは、定電流素子 22 のみの基準電圧 V R F 1 (例えば 1.7 V) となり、起動信号 S T A が “H” のときは、定電流素子 22, 23 が並列接続されて基準電圧 V R F 2 (例えば 3 V) となる。基準電圧 V R F は、ボルテージフォロワ接続された差動増幅器を有する出力部で電力増幅され、この基準電圧 V R F に対応する内部電圧 V O U T が出力される。

【選択図】 図 1

特願 2 0 0 3 - 1 5 5 2 0 5

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 0 2 9 5 ]

1. 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

東京都港区虎ノ門 1 丁目 7 番 1 2 号

氏 名

沖電気工業株式会社

特願 2003-155205

出 願 人 履 歴 情 報

識別番号

[591049893]

1. 変更年月日

1999年 6月17日

[変更理由]

名称変更

住 所

宮崎県宮崎郡清武町大字木原7083番地

氏 名

株式会社 沖マイクロデザイン